



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0055034  
Application Number

출 원 년 월 일 : 2003년 08월 08일  
Date of Application AUG 08, 2003

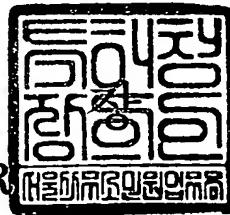
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0015
【제출일자】	2003.08.08
【국제특허분류】	G11C
【발명의 명칭】	게이트 바이어스 제어에 의해 임의의 방향성을 갖는 비트라인 센스 앰프를 채용하는 메모리 장치 및 그 비트라인 센싱 방법
【발명의 영문명칭】	Memory device employing bitline sense amplifier having sensing direction by gate bias control and bitline sensing method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이병재
【성명의 영문표기】	LEE, Byung Jae
【주민등록번호】	700907-1080112
【우편번호】	449-846
【주소】	경기도 용인시 풍덕천동 698-2 한성아파트 110-1101
【국적】	KR
【발명자】	
【성명의 국문표기】	김규홍
【성명의 영문표기】	KIM, Gyu Hong
【주민등록번호】	680920-1454610

【우편번호】 449-913  
【주소】 경기도 용인시 구성면 보정리 1161 진산마을 삼성5차아파트  
511-802  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의  
한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 18 면 18,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 12 항 493,000 원  
【합계】 540,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

### 【요약서】

#### 【요약】

게이트 바이어스 제어에 의해 임의의 방향성을 갖는 비트라인 센스 앰프를 채용하는 메모리 장치 및 그 비트라인 센싱 방법이 개시된다. 본 발명의 비트라인 센스 앰프는 비트라인에 연결된 제1 메모리 셀이 선택되면 상보 비트라인의 제2 메모리 셀을 선택하는 제2 제어 신호가 비트라인의 제1 메모리 셀을 선택하는 제1 제어 신호보다 높은 전압 레벨로 발생되어, 제1 제어 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 비트라인 사이에 형성되는 제1 전류 경로와 제2 제어 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하고, 상보 비트라인에 연결된 제2 메모리 셀이 선택되면 제1 제어 신호가 제2 제어 신호보다 높은 전압 레벨로 발생되어, 제1 전류 경로와 제2 전류 경로에 의해 비트라인과 상보 비트라인의 전압 레벨을 증폭한다. 따라서, 본 발명의 비트라인 센스 앰프는 비트라인 또는 상보 비트라인에 연결된 메모리 셀 데이터 센싱 시, 상보 비트라인 또는 비트라인의 전압 레벨이 셀 데이터와 반대되는 전압 레벨로 증폭되도록 하는 방향성을 갖도록 하여, 기준의 기준 셀들을 필요로 하지 않는다.

#### 【대표도】

도 2

#### 【색인어】

비트라인 센스 앰프, 센싱 방향성, 게이트 바이어스, 제1 및 제2 제어

**【명세서】****【발명의 명칭】**

게이트 바이어스 제어에 의해 임의의 방향성을 갖는 비트라인 센스 앰프를 채용하는 메모리 장치 및 그 비트라인 센싱 방법{Memory device employing bitline sense amplifier having sensing direction by gate bias control and bitline sensing method}

**【도면의 간단한 설명】**

도 1은 종래의 비트라인 센스 앰프를 포함하는 메모리 장치를 설명하는 도면이다.

도 2는 본 발명의 제1 실시예에 따른 비트라인 센스 앰프를 설명하는 도면이다.

도 3 및 도 4는 도 2의 비트라인 센스 앰프를 동작시키는 제1 및 제2 제어 신호 발생 회로들을 설명하는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 비트라인 센스 앰프를 설명하는 도면이다.

도 6 및 도 7은 도 5의 비트라인 센스 앰프를 동작시키는 제1 및 제2 제어 신호 발생 회로들을 설명하는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 게이트 바이어스 제어에 의해 임의의 방향성을 갖는 비트라인 센스 앰프를 채용하는 메모리 장치 및 그 비트라인 센싱 방법에 관한 것이다.

<7> DRAM 메모리 셀은 자체 증폭 능력이 없기 때문에, 독출 동작시 메모리 셀과 연결된 비트라인 센스 앰프를 통해 메모리 셀 데이터를 센싱하는 것이 일반적이다. 비트라인 센스 앰프는 비트라인 상의 전하 분배에 의해 발생되는 100mV~250mV 정도의 전압 차를 감지 증폭한다.

<8> DRAM의 비트라인 센스 앰프에 대한 선행 기술들 중 하나는 비트라인과 상보 비트라인을 전원 전압(VDD) 레벨로 프리차아지시킨 후, 셀 데이터를 감지 증폭하는 방법에 있다. 이 경우, 셀 데이터가 "1"이면 비트라인으로 전하 분배가 일어나지 않기 때문에, 비트라인과 상보 비트라인 사이에 전압 차가 생기지 않아 셀 데이터 센싱이 불가능하다. 이에 대한 해결책으로, VDD/2 레벨로 프리차아지된 기준 셀(reference cell)을 두어, 상보 비트라인의 전압 레벨을 떨어뜨려 비트라인과 상보 비트라인의 전압 차를 발생시켜서 셀 데이터 센싱을 가능하게 한다.

<9> 비트라인 센스 앰프에 대한 선행 기술들 중 다른 하나는 비트라인과 상보 비트라인을 접지 전압(VSS) 레벨로 프리차아지시킨 후, 셀 데이터를 감지 증폭하는 방법이다. 이 경우에도 셀 데이터가 "0"이면 접지 전압(VSS)으로 프리차아지된 비트라인으로 전하 분배가 일어나지 않아 셀 데이터 센싱이 불가능하여, 셀 데이터 센싱을 위하여 VDD/2 레벨로 프리차아지된 기준 셀(reference cell)을 필요로 한다.

<10> 도 1은 일반적인 비트라인 센스 앰프를 설명하는 도면이다. 이를 참조하면, 제1 메모리 셀(110)과 제1 기준 셀(130)이 비트라인(BL)에 연결되고, 제2 메모리 셀(120)과 제2 기준 셀(140)이 상보 비트라인(BLB)에 연결된다. 비트라인(BL)과 상보 비트라인(BLB) 사이에는 비트라인 등화 회로(150)가 연결된다. 제1 메모리 셀(110)의 워드라인(WL1)이 인에이블되면 제1 메모리 셀(110) 데이터가 비트라인(BL)으로 전달되어, 비트라인(BL)과 상보 비트라인(BLB)의 전압 차를 감지하는 비트라인 센스 앰프(160)를 통해 제1 메모리 셀(110) 데이터가 감지 증폭된다. 이 때, 상보 비트라인(BLB)에 연결되는 제2 기준 셀(140)의 워드라인(RWL1)이 인에이블되어 상

보 비트라인(BLB)으로 전원 전압(VDD)의 반에 해당하는 전압 레벨, 즉 VDD/2 전압 레벨이 공급된다. 이에 따라 비트라인 센스 앰프(160)는 상보 비트라인(BLB)의 VDD/2 전압 레벨을 기준으로하여 비트라인(BL)의 전압 레벨을 감지하게 된다.

<11> 그런데, 이러한 기준 셀들의 추가는 메모리 칩 사이즈를 크게 하는 문제점이 있다. 이와 아울러 기준 셀에 불량이 발생하는 경우 이를 구제하기 위한 설계 기술이 복잡해지는 문제가 발생한다. 그러므로, 기준 셀들의 필요없이 동작 가능한 비트라인 센스 앰프의 존재가 필요하다.

#### 【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 기준 셀 없이 메모리 셀 데이터 센싱시 비트라인 및 상보 비트라인 상의 소정의 방향성을 갖는 비트라인 센스 앰프를 제공하는 데 있다.

<13> 본 발명의 다른 목적은 비트라인 및 상보 비트라인 상에 소정의 방향성을 제공하는 비트라인 센싱 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<14> 상기 목적을 달성하기 위하여, 본 발명의 일예에 따른 메모리 장치는 비트라인에 연결되는 제1 메모리 셀들; 상보 비트라인에 연결되는 제2 메모리 셀들; 비트라인과 상보 비트라인을 전원 전압 레벨로 프리차아지시키는 비트라인 등화회로; 센싱 인에이블 신호에 응답하여 그 출력 노드를 접지 전압 레벨로 발생시키는 센싱 인에이블부; 및 비트라인에 연결된 제1 메모리 셀이 선택되면 상보 비트라인의 제2 메모리 셀을 선택하는 제2 어드레싱 신호가 비트라인의 제1 메모리 셀을 선택하는 제1 어드레싱 신호보다 높은 전압 레벨로 발생되어, 제1 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 비트라인 사이에

형성되는 제1 전류 경로와 제2 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하고, 상보 비트라인에 연결된 제2 메모리 셀이 선택되면 제1 어드레싱 신호가 제2 어드레싱 신호보다 높은 전압 레벨로 발생되어, 제1 전류 경로와 제2 전류 경로에 의해 비트라인과 상보 비트라인의 전압 레벨을 증폭하는 비트라인 센스 앰프를 포함한다.

<15> 바람직하기로, 비트라인 센스 앰프는 전원 전압에 그 소스가 연결되고, 비트라인에 그 드레인이 연결되고, 상보 비트라인에 그 게이트가 연결되는 제1 피모스 트랜지스터; 전원 전압에 그 소스가 연결되고, 상보 비트라인에 그 드레인이 연결되고, 비트라인에 그 게이트가 연결되는 제2 피모스 트랜지스터; 비트라인과 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제1 엔모스 트랜지스터의 게이트는 상보 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제1 제어 신호에 연결되고 제2 엔모스 트랜지스터의 게이트는 상보 비트라인에 연결되는 상기 제1 및 제2 엔모스 트랜지스터들; 및 상보 비트라인과 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제3 엔모스 트랜지스터의 게이트는 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제2 제어 신호에 연결되고 제4 엔모스 트랜지스터의 게이트는 비트라인에 연결되는 상기 제3 및 제4 엔모스 트랜지스터들을 포함한다.

<16> 그리고, 제1 제어 신호는 제1 제어 신호 발생 회로에 의해 발생되고, 제1 제어 신호 발생 회로는 전원 전압보다 높은 전압 레벨의 제1 전원 전압이 그 소스에 연결되고, 그 게이트에 제2 어드레싱 신호의 반전 신호가 연결되는 제1 피모스 트랜지스터; 전원 전압이 그 소스에 연결되고, 그 게이트에 제1 어드레싱 신호가 연결되는 제2 피모스 트랜지스터; 및 접지 전압이 그 소스에 연결되고, 그 게이트에 센싱 인에이블 신호가 연결되고, 제1 및 제2 피모스 트랜지

스터의 드레인에 그 드레인이 연결되어 제1 제어 신호로 발생되는 엔모스 트랜지스터를 포함한다.

<17> 제2 제어 신호는 제2 제어 신호 발생 회로에 의해 발생되고, 제2 제어 신호 발생 회로는 전원 전압보다 높은 전압 레벨의 제1 전원 전압이 그 소스에 연결되고, 그 게이트에 제2 어드레싱 신호가 연결되는 제1 피모스 트랜지스터; 전원 전압이 그 소스에 연결되고, 그 게이트에 제1 어드레싱 신호의 반전 신호가 연결되는 제2 피모스 트랜지스터; 및 접지 전압이 그 소스에 연결되고, 그 게이트에 센싱 인에이블 신호가 연결되고, 제1 및 제2 피모스 트랜지스터의 드레인에 그 드레인이 연결되어 제2 제어 신호로 발생되는 엔모스 트랜지스터를 포함한다.

<18> 상기 목적을 달성하기 위하여, 본 발명의 다른 예에 따른 메모리 장치는 비트라인에 연결되는 제1 메모리 셀들; 상보 비트라인에 연결되는 제2 메모리 셀들; 비트라인과 상보 비트라인을 접지 전압 레벨로 프리차아지시키는 비트라인 등화회로; 센싱 인에이블 신호에 응답하여 그 출력 노드를 전원 전압 레벨로 발생시키는 센싱 인에이블부; 및 비트라인에 연결된 제1 메모리 셀이 선택되면 상보 비트라인의 제2 메모리 셀을 선택하는 제2 어드레싱 신호가 비트라인의 제1 메모리 셀을 선택하는 제1 어드레싱 신호보다 낮은 전압 레벨로 발생되어, 제1 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 비트라인 사이에 형성되는 제1 전류 경로와 제2 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하고, 상보 비트라인에 연결된 제2 메모리 셀이 선택되면 제1 어드레싱 신호가 상기 제2 어드레싱 신호보다 낮은 전압 레벨로 발생되어, 제1 전류 경로와 제2 전류 경로에 의해 비트라인과 상보 비트라인의 전압 레벨을 증폭하는 비트라인 센스 앰프를 포함한다.

<19> 더욱 바람직하기로, 비트라인 센스 앰프는 접지 전압에 그 소스가 연결되고, 비트라인에 그 드레인이 연결되고, 상보 비트라인에 그 게이트가 연결되는 제1 엔모스 트랜지스터; 접지 전압에 그 소스가 연결되고, 상보 비트라인에 그 드레인이 연결되고, 비트라인에 그 게이트가 연결되는 제2 엔모스 트랜지스터; 비트라인과 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제1 피모스 트랜지스터의 게이트는 상보 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제1 제어 신호에 연결되고 제2 피모스 트랜지스터의 게이트는 상보 비트라인에 연결되는 상기 제1 및 제2 피모스 트랜지스터들; 및 상보 비트라인과 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제3 피모스 트랜지스터의 게이트는 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제2 제어 신호에 연결되고 제4 피모스 트랜지스터의 게이트는 비트라인에 연결되는 상기 제3 및 제4 피모스 트랜지스터들을 포함한다.

<20> 그리고, 제1 제어 신호는 제1 제어 신호 발생 회로에 의해 발생되고, 제1 제어 신호 발생 회로는 접지 전압보다 낮은 전압 레벨의 제1 접지 전압이 그 소스에 연결되고, 그 게이트에 상보 비트라인에 연결되는 메모리 셀을 선택하는 제2 어드레싱 신호의 반전 신호가 연결되는 제1 엔모스 트랜지스터; 접지 전압이 그 소스에 연결되고, 그 게이트에 비트라인에 연결되는 메모리 셀을 선택하는 제1 어드레싱 신호가 연결되는 제2 엔모스 트랜지스터; 및 전원 전압이 그 소스에 연결되고, 그 게이트에 센싱 인에이블 신호가 연결되고 제1 및 제2 엔모스 트랜지스터의 드레인에 그 드레인이 연결되어 제2 제어 신호로 발생되는 피모스 트랜지스터를 포함한다.

<21> 제2 제어 신호는 제2 제어 신호 발생 회로에 의해 발생되고, 제2 제어 신호 발생 회로는 접지 전압보다 낮은 전압 레벨의 제1 전원 전압이 그 소스에 연결되고, 그 게이트에 상보 비트라인에 연결되는 메모리 셀을 선택하는 제2 어드레싱 신호가 연결되는 제1 엔모스 트랜지스터;

접지 전압이 그 소스에 연결되고, 그 게이트에 비트라인에 연결되는 메모리 셀을 선택하는 제1 어드레싱 신호의 반전 신호가 연결되는 제2 엔모스 트랜지스터; 및 전원 전압이 그 소스에 연결되고, 그 게이트에 센싱 인에이블 신호가 연결되고 제1 및 제2 엔모스 트랜지스터의 드레인에 그 드레인이 연결되어 제2 제어 신호로 발생되는 피모스 트랜지스터를 포함한다.

<22> 상기 다른 목적을 달성하기 위하여, 본 발명의 일예에 따른 메모리 셀 데이터가 전달되는 비트라인의 센싱 방법에 있어서, (a) 비트라인과 상보 비트라인을 전원 전압 레벨로 프리차지시키는 단계; (b) 비트라인에 연결된 제1 메모리 셀이 인에이블되어 제1 메모리 셀 데이터가 비트라인으로 전달되는 단계는, (b-1) 상보 비트라인과 센싱 인에이블부의 출력 노드 사이에 연결되고, 상보 비트라인에 연결된 제2 메모리 셀을 선택하는 제2 어드레싱 신호가 제1 메모리 셀을 선택하는 제1 어드레싱 신호보다 높은 전압 레벨로 인가되는 단계; 및 (b-2) 제1 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 비트라인 사이에 형성되는 제1 전류 경로와 제2 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고, (c) 상보 비트라인에 연결된 제2 메모리 셀이 인에이블되어 제2 메모리 셀 데이터가 상보 비트라인으로 전달되는 단계는, (c-1) 제1 어드레싱 신호가 제2 어드레싱 신호보다 높은 전압 레벨로 인가되는 단계; 및 (c-2) 제1 전류 경로와 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고, (d) 센싱 인에이블 신호에 응답하여 센싱 인에이블부의 출력 노드를 접지 전압 레벨로 천이시키는 단계를 포함한다.

<23> 상기 다른 목적을 달성하기 위하여, 본 발명의 다른 예에 따른 메모리 셀 데이터가 전달되는 비트라인의 센싱 방법에 있어서, (a) 비트라인과 상보 비트라인을 접지 전압 레벨로 프리

차아지시키는 단계; (b) 비트라인에 연결된 제1 메모리 셀이 인에이블되어 제1 메모리 셀 데이터가 비트라인으로 전달되는 단계는, (b-1) 상보 비트라인과 센싱 인에이블부의 출력 노드 사이에 연결되고, 상보 비트라인에 연결된 제2 메모리 셀을 선택하는 제2 어드레싱 신호가 제1 메모리 셀을 선택하는 제1 어드레싱 신호보다 낮은 전압 레벨로 인가되는 단계; 및 (b-2) 제1 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 비트라인 사이에 형성되는 제1 전류 경로와 제2 어드레싱 신호와 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고, (c) 상보 비트라인에 연결된 제2 메모리 셀이 인에이블되어 제2 메모리 셀 데이터가 상보 비트라인으로 전달되는 단계는, (c-1) 제1 어드레싱 신호가 제2 어드레싱 신호보다 낮은 전압 레벨로 인가되는 단계; 및 (c-2) 제1 전류 경로와 제2 전류 경로에 의해 비트라인의 전압 레벨과 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고, (d) 센싱 인에이블 신호에 응답하여 센싱 인에이블부의 출력 노드를 전원 전압 레벨로 천이시키는 단계를 포함한다.

<24> 따라서, 본 발명에 의하면, 비트라인에 연결된 메모리 셀 데이터 센싱 시, 셀 데이터에 따라 상보 비트라인의 전압 레벨을 셀 데이터와 반대되는 전압 레벨로 증폭되도록 하는 방향성을 갖도록 하여, 기존의 기준 셀들을 필요로 하지 않는다.

<25> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<27> 도 2는 본 발명의 제1 실시예에 따른 비트라인 센스 앰프를 설명하는 도면이다. 이를 참조하면, 제1 메모리 셀(210)이 연결되는 비트라인(BL)과 제2 메모리 셀(220)이 연결되는 상보 비트라인(BLB) 사이에 비트라인 센스 앰프(230)와 비트라인 동화 회로(240)가 연결되어 있다. 제1 및 제2 메모리 셀들(210, 220)은 1-트랜지스터와 1-커패시터로 구성되는 DRAM 셀들로 구성된다.

<28> 비트라인 센스 앰프(230)는 전원 전압(VDD)에 그 소스가 연결되고 그 드레인이 비트라인(BL)과 상보 비트라인(BLB)에 각각 연결되는 제1 및 제2 피모스 트랜지스터(MP0, MP1), 센스 앰프 인에이블 신호(SAE)에 응답하는 센싱 인에이블부(235), 비트라인(BL)과 센싱 인에이블부(235)의 출력 노드(NA) 사이에 직렬로 연결되는 제1 엔모스 트랜지스터(MN0)와 제2 엔모스 트랜지스터(MN1), 상보 비트라인(BLB)과 센싱 인에이블부(235)의 출력 노드(NA) 사이에 직렬로 연결되는 제3 엔모스 트랜지스터(MN2)와 제4 엔모스 트랜지스터(MN3)를 포함한다. 센싱 인에이블부(235)는 센스 앰프 인에이블 신호(SAE)를 입력하는 인버터로 구성된다. 제1 피모스 트랜지스터(MP0)와 제2 엔모스 트랜지스터(MN1)의 게이트들은 상보 비트라인(BLB)에 연결되고, 제2 피모스 트랜지스터(MP1)와 제4 엔모스 트랜지스터(MN3)의 게이트들은 비트라인(BL)에 연결된다. 제1 엔모스 트랜지스터(MN0)의 게이트는 제1 제어 신호(VTRUE)에 연결되고, 제3 엔모스 트랜지스터(MN2)의 게이트는 제2 제어 신호(VCOMP)에 연결된다.

<29> 비트라인 센스 앰프부(230)는 선택되는 셀에 따라 제1 제어 신호(VTRUE)가 제2 제어 신호(VCOMP) 보다 높은 전압 레벨로 또는 제2 제어 신호(VCOMP)가 제1 제어 신호(VTRUE) 보다 높은 전압레벨로 발생되고, 센싱 인에이블 신호(SAE)의 로직 하이레벨로의 활성화에 응답하여 센싱 인에이블부(235)의 출력 노드(NA)가 접지 전압(VSS) 레벨이 되어 비트라인(BL)과 상보 비트라인(BLB)의 전압 레벨을 증폭한다.

<30> 비트라인 등화 회로(240)는 그 소스들이 전원 전압(VDD)에 연결되고 그 드레인들이 비트라인(BL)과 상보 비트라인(BLB)에 각각 연결되는 제4 및 제5 피모스 트랜지스터(MP3, MP4)와 비트라인(BL)과 상보 비트라인(BLB) 사이에 연결되는 제6 피모스 트랜지스터(MP5)를 포함한다. 제4, 제5 및 제6 피모스 트랜지스터들(MP3, MP4, MP5)의 게이트는 이퀄라이징 신호(/EQ)에 연결된다. 이퀄라이징 신호(/EQ)의 로직 로우레벨로의 활성화에 응답하여 비트라인(BL)과 상보 비트라인(BLB)는 전원 전압(VDD) 레벨로 프리차아지된다.

<31> 본 실시예의 비트라인 센스 앰프(230)의 동작은 다음과 같이 이루어진다. 먼저, 비트라인(BL)과 상보 비트라인(BLB)은 비트라인 등화 회로(240)에 의해 전원 전압(VDD) 레벨로 프리차아지되어 있다.

<32> 첫번째로, 제1 메모리 셀(210)에 저장된 데이터가 '1'인 경우를 살펴보면, 제1 워드라인(WL0)이 인에이블되면 제1 메모리 셀(210) 데이터 '1'이 비트라인(BL)으로 전달되어 비트라인(BL)은 전원 전압(VDD) 레벨을 유지한다. 제2 제어 신호(VCOMP)가 제1 전원 전압(VDDH) 레벨로 활성화되어 제3 엔모스 트랜지스터(MN2)가 턴온되고, 제1 제어 신호(VTRUE)가 제2 전원 전압(VDDL) 레벨로 활성화되어 제1 엔모스 트랜지스터(MN0)도 턴온된다. 제1 전원 전압(VDDH) 레벨은 제2 전원 전압(VDDL) 레벨보다 높은 전압 레벨를 갖는다. 예컨대, 제2 전원 전압(VDDL) 레벨이 전원 전압(VDD) 레벨이면, 제1 전원 전압(VDDH)은 메모리 장치 내부의 승압 전압(VPP)을 의미하거나, 승압 전압(VPP) 레벨 정도의 외부 전원 전압을 의미한다. 본 실시예에서는 제1 전원 전압(VDDH)을 승압 전압(VPP) 레벨로, 그리고 제2 전원 전압(VDDL) 레벨을 전원 전압(VDD) 레벨로 설정한 경우에 대하여 기술된다. 만약에, 제2 전원 전압(VDDL)이 전원 전압(VDD) 이하의 전압 레벨을 갖는다면 제1 전원 전압(VDDH)은 전원 전압(VDD) 레벨로 설정될 수 있음을 당업자에게 자명하다.

<33> 센싱 인에이블 신호(SAE)의 로직 하이레벨로의 활성화에 응답하여 센싱 인에이블부(235)의 출력 노드(NA)는 접지 전압(VSS) 레벨이 된다. 비트라인(BL)의 전원 전압(VDD) 레벨에 응답하여 제4 엔모스 트랜지스터(MN3)가 턴온되고 송압 전압(VPP) 레벨로 게이팅되는 제3 엔모스 트랜지스터(MN2)가 턴온되어, 상보 비트라인(BLB)은 접지 전압(VSS) 레벨의 센싱 인에이블부(235)의 출력 노드(NA)로 강한 전류 경로가 형성된다. 이에 따라, 상보 비트라인(BLB)은 접지 전압(VSS) 레벨로 떨어지면서 제2 엔모스 트랜지스터(MN1)를 턴오프시킨다. 그리하여, 비트라인(BL)은 전원 전압(VDD) 레벨을 유지하고 상보 비트라인(BLB)은 접지 전압(VSS) 레벨이 되어, 비트라인(BL)과 상보 비트라인(BLB)의 전압차가 크게 벌어진다.

<34> 두번째로, 제1 메모리 셀(210)에 저장된 데이터가 '0'인 경우를 살펴보면, 제1 워드라인(WL0)이 인에이블되면 제1 메모리 셀(210) 데이터 '0'이 비트라인(BL)으로 전달된다. 제2 제어 신호(VCOMP)가 제1 전원 전압(VDDH) 레벨로 활성화되어 제3 엔모스 트랜지스터(MN2)가 턴온되고, 제1 제어 신호(VTRUE)가 제2 전원 전압(VDDL) 레벨로 활성화되어 제1 엔모스 트랜지스터(MN0)를 턴온시킨다. 이 후, 센싱 인에이블 신호(SAE)의 로직 하이레벨로의 활성화에 응답하여 센싱 인에이블부(235)의 출력 노드(NA)는 접지 전압(VSS) 레벨이 된다.

<35> 비트라인(BL)으로 전달된 셀 데이터 '0'에 의해 비트라인(BL)의 전압 레벨은 전원 전압(VDD) 레벨에서 조금 떨어진다. 이에 따라, 제4 엔모스 트랜지스터(MN3)가 약하게 턴온되고, 전원 전압(VDD) 레벨로 프리차아지된 상보 비트라인(BLB)에 연결되는 제2 엔모스 트랜지스터(MN1)가 턴온되어, 비트라인(BL)은 턴온된 제1 엔모스 트랜지스터(MN0)와 제2 엔모스 트랜지스터(MN1)를 통해 접지 전압 레벨의 센싱 인에이블부(235)의 출력 노드(NA)로 강한 전류 경로가 형성된다. 그리하여, 비트라인(BL)은 접지 전압(VSS) 레벨로 되면서 제4 엔모스 트랜지스터

(MN3)을 턴오프시켜, 비트라인(BL)은 접지 전압(VSS)이 되고 상보 비트라인(BLB)은 전원 전압(VDD) 레벨이 되어 비트라인(BL)과 상보 비트라인(BLB)과의 전압차가 크게 벌어진다.

<36> 제1 제어 신호(VTRUE)와 제2 제어 신호(VCOMP)는 도 3 및 도 4의 제어 신호 발생부들에 의해 제공된다.

<37> 도 3은 제1 제어 신호(VTRUE) 발생 회로로써, 제1 전원 전압(VDDH)이 소스에 연결되고 그 게이트에 반전된 제2 어드레싱 신호(/SAET)가 연결되는 제1 피모스 트랜지스터(MP30), 제2 전원 전압(VDDL)이 그 소스에 연결되고 그 게이트에 제1 어드레싱 신호(SAEC)가 연결되는 제2 피모스 트랜지스터(MP31), 그리고 제1 및 제2 피모스 트랜지스터(MP30, MP31)의 드레인에 그 드레인이 연결되고 그 게이트에 반전된 센싱 인에이블 신호(/SAE)가 연결되고 그 소스에 접지 전압(VSS)이 연결되는 엔모스 트랜지스터(MN30)를 포함한다. 제1 및 제2 피모스 트랜지스터(MP30, MP31)의 드레인과 엔모스 트랜지스터(MN30)의 드레인이 연결되어 제1 제어 신호(VTRUE)가 된다.

<38> 제1 어드레싱 신호(SAEC)는 비트라인(BL)에 연결되는 메모리 셀(210, 도 2)이 선택될 때 로직 로우레벨로 발생되는 신호이고, 상보 비트라인(BLB)에 연결되는 메모리 셀(220, 도 2)이 선택될 때 로직 하이레벨로 발생되는 신호이다. 제2 어드레싱 신호(SAET)는 상보 비트라인(BLB)에 연결되는 메모리 셀(220, 도 2)이 선택될 때 로직 하이레벨로 발생되는 신호이고, 비트라인(BL)에 연결되는 메모리 셀(210, 도 2)이 선택될 때 로직 로우레벨로 발생되는 신호이다. 제1 어드레싱 신호(SAEC)와 제2 어드레싱 신호(SAET)로는 메모리 셀들(210, 220)을 선택하는 어드레스 신호들의 최하위 LSB 어드레스 신호를 사용한다.

<39> 도 4는 제2 제어 신호(VCOMP) 발생 회로로써, 제1 전원 전압(VDDH)이 소스에 연결되고 그 게이트에 제2 어드레싱 신호(SAET)가 연결되는 제1 피모스 트랜지스터(MP40), 제2 전원 전

압(VDDL)이 그 소스에 연결되고 그 게이트에 반전된 제1 어드레싱 신호(/SAEC)가 연결되는 제2 피모스 트랜지스터(MP41), 그리고 제1 및 제2 피모스 트랜지스터(MP40, MP41)의 드레인에 그 드레인이 연결되고 그 게이트에 반전된 센싱 인에이블 신호(/SAE)가 연결되고 그 소스에 접지 전압(VSS)이 연결되는 엔모스 트랜지스터(MN40)를 포함한다. 제1 및 제2 피모스 트랜지스터(MP40, MP41)의 드레인과 엔모스 트랜지스터(MN40)의 드레인이 연결되어 제2 제어 신호(VCOMP)가 된다.

<40>      도 3 및 도 4의 제1 및 제2 제어 신호 발생 회로들의 동작은 앞서 도 2에서 설명한 비트 라인 센스 앰프 동작과 연계되어 수행된다. 즉, 센싱 인에이블 신호(SAE)가 로직 하이레벨로 활성화되면 엔모스 트랜지스터들(MN30, MN40)가 턴오프된 상태에서, 제1 메모리 셀(210)이 선택되면, 제2 어드레싱 신호(SAET)는 로직 로우레벨로 발생되고 반전된 제1 어드레싱 신호(/SAEC)는 로직 하이레벨로 발생되어, 제1 제어 신호(VTRUE)는 전원 전압(VDD) 레벨로 발생되고 제2 제어 신호(VCOMP)가 승압 전압(VPP) 레벨로 발생된다.

<41>      한편, 제2 메모리 셀(220)이 선택되면, 제1 어드레싱 신호(SAEC)는 로직 하이레벨로 발생되고 반전된 제2 어드레싱 신호(/SAET)는 로직 로우레벨로 발생되어, 제1 제어 신호(VTRUE)는 승압 전압(VPP) 레벨로 발생되고 제2 제어 신호(VCOMP)가 전원 전압(VDD) 레벨로 발생된다.

<42>      다시 말하면, 비트라인(BL)에 연결된 메모리 셀(210)이 선택되면, 상보 비트라인(BLB)에 연결된 트랜지스터(MN2)를 스위칭시키는 제2 제어 신호(VCOMP)가 제1 전원 전압(VDDH) 레벨로 활성화된다. 그리고, 상보 비트라인(BLB)에 연결된 메모리 셀(220)이 선택되면 비트라인(BL)에 연결된 트랜지스터(MN0)를 스위칭시키는 제1 제어 신호(VTRUE)가 제1 전원 전압(VDDH) 레벨로 활성화된다. 이는 비트라인(BL) 또는 상보 비트라인(BLB)에 연결된 메모리 셀이 선택되면, 그

반대쪽의 상보 비트라인(BLB) 또는 비트라인(BL)에 연결된 비트라인 센스 앰프의 트랜지스터를 스위칭시키는 것으로, 비트라인 센스 앰프가 그 동작상 방향성을 갖는다는 것을 의미한다.

<43> 도 5는 본 발명의 제2 실시예에 따른 비트라인 센스 앰프를 설명하는 도면이다. 이를 참조하면, 제1 메모리 셀(510)이 연결되는 비트라인(BL)과 제2 메모리 셀(520)이 연결되는 상보 비트라인(BLB) 사이에 비트라인 센스 앰프(530)와 비트라인 등화 회로(540)가 연결되어 있다. 비트라인 등화 회로(540)는 비트라인 이퀄라이징 신호(EQ)에 응답하여 비트라인(BL)과 상보 비트라인(BLB)을 접지 전압(VSS)으로 프리차아지시킨다. 비트라인 센스 앰프(530)는 접지 전압(VSS) 레벨로 프리차아지된 비트라인과 상보 비트라인으로 전달되는 메모리 셀 데이터를 센싱하기 위하여 비트라인(BL)과 상보 비트라인(BLB) 사이의 전압 차를 크게 벌린다.

<44> 비트라인 센스 앰프(530)는 센스 앰프 인에이블 신호(/SAE)에 응답하는 센싱 인에이블부(535), 비트라인(BL)과 센싱 인에이블부(535)의 출력 노드(NB) 사이에 직렬로 연결되는 제1 피모스 트랜지스터(MP0)와 제2 피모스 트랜지스터(MP1), 상보 비트라인(BLB)과 센싱 인에이블부(535)의 출력 노드(NB) 사이에 직렬로 연결되는 제3 피모스 트랜지스터(MP2)와 제4 피모스 트랜지스터(MP3), 그리고 접지 전압(VSS)에 그 소스가 연결되고 그 드레인이 비트라인(BL)과 상보 비트라인(BLB)에 각각 연결되는 제1 및 제2 엔모스 트랜지스터(MN0, MN1)를 포함한다.

<45> 센싱 인에이블부(535)는 센스 앰프 인에이블 신호(/SAE)를 입력하는 인버터로 구성된다. 제1 엔모스 트랜지스터(MN0)와 제2 피모스 트랜지스터(MP1)의 게이트들은 상보 비트라인(BLB)에 연결되고, 제2 엔모스 트랜지스터(MN1)와 제4 피모스 트랜지스터(MP3)의 게이트들은 비트라인(BL)에 연결된다. 제1 피모스 트랜지스터(MP0)의 게이트는 제1 제어 신호(/VTRUE)에 연결되고, 제3 피모스 트랜지스터(MP2)의 게이트는 제2 제어 신호(/VCOMP)에 연결된다.

<46> 비트라인 센스 앰프부(530)는 선택되는 셀에 따라 제1 제어 신호(VTRUE)가 제2 제어 신호(VCOMP) 보다 낮은 전압 레벨로 또는 제2 제어 신호(VCOMP)가 제1 제어 신호(VTRUE) 보다 낮은 전압 레벨로 발생되고, 센싱 인에이블 신호(/SAE)의 로직 로우레벨로의 활성화에 응답하여 출력 노드(NB)가 전원 전압(VDD) 레벨이 되어 비트라인(BL)과 상보 비트라인(BLB)의 전압 레벨을 증폭한다.

<47> 비트라인 등화 회로(540)는 그 소스들이 접지 전압(VSS)에 연결되고 그 드레인들이 비트라인(BL)과 상보 비트라인(BLB)에 각각 연결되는 제4 및 제5 엔모스 트랜지스터(MN3, MN4)와 비트라인(BL)과 상보 비트라인(BLB) 사이에 연결되는 제6 엔모스 트랜지스터(MN5)를 포함한다. 제4, 제5 및 제6 피모스 트랜지스터들(MN3, MN4, MN5)의 게이트는 이퀄라이징 신호(EQ)에 연결된다. 이퀄라이징 신호(EQ)의 로직 하이레벨로의 활성화에 응답하여 비트라인(BL)과 상보 비트라인(BLB)는 접지 전압(VSS) 레벨로 프리차아지된다.

<48> 제1 제어 신호(/VTRUE)와 제2 제어 신호(/VCOMP)는 도 6 및 도 7의 제어 신호 발생부들에 의해 제공된다.

<49> 도 6은 제1 제어 신호(/VTRUE) 발생 회로로써, 제1 접지 전압(VSSH)이 소스에 연결되고 그 게이트에 반전된 제2 어드레싱 신호(SAET)가 연결되는 제1 엔모스 트랜지스터(MN60), 제2 접지 전압(VSSL)이 그 소스에 연결되고 그 게이트에 반전된 제1 어드레싱 신호(/SAEC)가 연결되는 제2 엔모스 트랜지스터(MN61), 그리고 제1 및 제2 엔모스 트랜지스터(MN60, MN61)의 드레인에 그 드레인이 연결되고 그 게이트에 반전된 센싱 인에이블 신호(/SAE)가 연결되고 그 소스에 전원 전압(VDD)이 연결되는 피모스 트랜지스터(MP60)를 포함한다. 제1 및 제2 엔모스 트랜지스터(MN60, MN61)의 드레인과 피모스 트랜지스터(MP60)의 드레인이 연결되어 제1 제어 신호(/VTRUE)가 된다.

<50> 도 7은 제2 제어 신호(/VCOMP) 발생 회로로써, 제1 접지 전압(VSSH)이 소스에 연결되고 그 게이트에 반전된 제2 어드레싱 신호(/SAET)가 연결되는 제1 엔모스 트랜지스터(MN70), 제2 접지 전압(VSSL)이 그 소스에 연결되고 그 게이트에 제1 어드레싱 신호(SAEC)가 연결되는 제2 엔모스 트랜지스터(MN71), 그리고 제1 및 제2 엔모스 트랜지스터(MN70, MN71)의 드레인에 그 드레인이 연결되고 그 게이트에 반전된 센싱 인에이블 신호(/SAE)가 연결되고 그 소스에 전원 전압(VDD)이 연결되는 피모스 트랜지스터(MP70)를 포함한다. 제1 및 제2 엔모스 트랜지스터(MN70, MN71)의 드레인과 피모스 트랜지스터(MP70)의 드레인이 연결되어 제2 제어 신호(/VCOMP)가 된다.

<51> 제1 메모리 셀(510)이 선택되면, 제2 어드레싱 신호(SAET)는 로직 로우레벨로 발생되고 반전된 제1 어드레싱 신호(/SAEC)는 로직 하이레벨로 발생되어, 제1 제어 신호(/VTRUE)는 제1 접지 전압(VSSH) 레벨로 발생되고 제2 제어 신호(/VCOMP)가 제2 접지 전압(VSSL) 레벨로 발생된다. 제2 메모리 셀(520)이 선택되면, 제2 어드레싱 신호(SAET)는 로직 하이레벨로 발생되고 반전된 제1 어드레싱 신호(/SAEC)는 로직 로우레벨로 발생되어, 제1 제어 신호(/VTRUE)는 제2 접지 전압(VSSL) 레벨로 발생되고 제2 제어 신호(/VCOMP)가 제1 접지 전압(VSSH) 레벨로 발생된다. 여기에서, 제2 접지 전압(VSSL) 레벨은 제1 접지 전압(VSSH) 보다 낮은 전압 레벨을 갖도록 설정된다.

<52> 본 실시예의 비트라인 센스 앰프(530)의 동작은 다음과 같이 이루어진다. 먼저, 비트라인(BL)과 상보 비트라인(BLB)은 비트라인 등화 회로(540)에 의해 접지 전압(VSS) 레벨로 프리차아지되어 있다.

<53> 첫번째로, 제1 메모리 셀(510)에 저장된 데이터가 '1'인 경우를 살펴보면, 제1 워드라인(WL0)이 인에이블되면 제1 메모리 셀(510) 데이터 '1'이 비트라인(BL)으로 전달되어,

비트라인(BL)의 전압 레벨은 접지 전압(VSS) 레벨에서 조금 상승한다. 제2 제어 신호(/VCOMP)가 제2 접지 전압(VSSL) 레벨로 활성화되어 제3 피모스 트랜지스터(MP2)가 턴온되고, 제1 제어 신호(/VTRUE)가 제1 접지 전압(VSSH) 레벨로 활성화되어 제1 피모스 트랜지스터(MP0)도 턴온된다. 이 후, 센싱 인에이블 신호(SAE)의 로직 하이레벨로의 활성화에 응답하여 센싱 인에이블부(535)의 출력 노드(NB)는 전원 전압(VDD) 레벨이 된다.

<54>      비트라인(BL)으로 전달된 셀 데이터 '1'에 의해 비트라인(BL)의 전압 레벨은 접지 전압(VSS) 레벨에서 조금 상승한다. 이에 따라, 제4 피모스 트랜지스터(MP3)가 약하게 턴온되고, 접지 전압(VSS) 레벨로 프리차아지된 상보 비트라인(BLB)에 연결되는 제2 피모스 트랜지스터(MP1)가 턴온되어, 비트라인(BL)은 턴온된 제1 피모스 트랜지스터(MP0)와 제2 피모스 트랜지스터(MP1)를 통해 전원 전압(VDD) 레벨의 센싱 인에이블부(535)의 출력 노드(NB)로 강한 전류 경로가 형성된다. 그리하여, 비트라인(BL)은 전원 전압(VDD) 레벨로 되면서 제4 피모스 트랜지스터(MP3)을 턴오프시켜, 비트라인(BL)은 전원 전압(VDD)이 되고 상보 비트라인(BLB)은 접지 전압(VSS) 레벨이 되어 비트라인(BL)과 상보 비트라인(BLB)과의 전압차가 크게 벌어진다.

<55>      두번째로, 제1 메모리 셀(510)에 저장된 데이터가 '0'인 경우를 살펴보면, 제1 워드라인(WL0)이 인에이블되면 제1 메모리 셀(510) 데이터 '0'이 비트라인(BL)으로 전달된다. 제2 제어 신호(/VCOMP)가 제2 접지 전압(VSSL) 레벨로 활성화되어 제3 피모스 트랜지스터(MP2)가 턴온되고, 제1 제어 신호(/VTRUE)가 제1 접지 전압(VSSH) 레벨로 활성화되어 제1 피모스 트랜지스터(MP0)를 턴온시킨다. 이 후, 센싱 인에이블 신호(SAE)의 로직 하이레벨로의 활성화에 응답하여 센싱 인에이블부(535)의 출력 노드(NB)는 전원 전압(VDD) 레벨이 된다.

<56>      비트라인(BLB)의 접지 전압(VSS) 레벨에 응답하여 제4 피모스 트랜지스터(MP3)가 턴온되고 제2 접지 전압(VSSL) 레벨의 제2 제어 신호(/VCOMP) 게이팅되는 제3 엔모스 트랜지스터

(MN2)가 턴온되어, 상보 비트라인(BLB)은 전원 전압(VDD) 레벨의 센싱 인에이블부(535)의 출력 노드(NB)로 강한 전류 경로가 형성된다. 이에 따라, 상보 비트라인(BLB)은 전원 전압(VDD) 레벨로 상승하면서 제2 피모스 트랜지스터(MP1)를 턴오프시킨다. 그리하여, 비트라인(BL)은 접지 전압(VSS) 레벨을 유지하고 상보 비트라인(BLB)은 전원 전압(VDD) 레벨이 되어, 비트라인(BL)과 상보 비트라인(BLB)의 전압차가 크게 벌어진다.

<57> 따라서, 본 실시예의 비트라인 센스 앰프는 비트라인(BL)에 연결된 메모리 셀(510)이 선택되면, 상보 비트라인(BLB)에 연결된 트랜지스터(MP2)를 스위칭시키는 제2 제어 신호(/VCOMP)가 제2 접지 전압(VSSL) 레벨로 활성화된다. 그리고, 상보 비트라인(BLB)에 연결된 메모리 셀(520)이 선택되면 비트라인(BL)에 연결된 트랜지스터(MP0)를 스위칭시키는 제1 제어 신호(/VTRUE)가 제2 접지 전압(VSSL) 레벨로 활성화된다. 이는 비트라인(BL) 또는 상보 비트라인(BLB)에 연결된 메모리 셀이 선택되면, 그 반대쪽의 상보 비트라인(BLB) 또는 비트라인(BL)에 연결된 비트라인 센스 앰프의 트랜지스터를 스위칭시키는 것으로, 비트라인 센스 앰프가 그 동작상 방향성을 갖는다는 것을 의미한다.

<58> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청 구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<59> 상술한 본 발명의 비트라인 센스 앰프에 의하면, 비트라인에 연결된 메모리 셀 데이터 센싱 시, 셀 데이터에 따라 상보 비트라인의 전압 레벨을 셀 데이터와 반대되는 전압 레벨로 발생되도록 하는 방향성을 갖도록 하여, 기존의 기준 셀들을 필요로 하지 않는다.

**【특허청구범위】****【청구항 1】**

비트라인에 연결되는 제1 메모리 셀들;

상보 비트라인에 연결되는 제2 메모리 셀들;

상기 비트라인과 상기 상보 비트라인을 전원 전압 레벨로 프리차아지시키는 비트라인 등  
화회로;

센싱 인에이블 신호에 응답하여 그 출력 노드를 접지 전압 레벨로 발생시키는 센싱 인  
에이블부; 및

상기 비트라인에 연결된 제1 메모리 셀이 선택되면 상기 상보 비트라인의 제2 메모리 셀  
을 선택하는 제2 어드레싱 신호가 상기 비트라인의 제1 메모리 셀을 선택하는 제1 어드레싱 신  
호보다 높은 전압 레벨로 발생되어, 상기 제1 어드레싱 신호와 상기 상보 비트라인의 전압 레  
벨에 응답하여 상기 센싱 인에이블부의 출력 노드와 상기 비트라인 사이에 형성되는 제1 전류  
경로와 상기 제2 어드레싱 신호와 상기 상보 비트라인의 전압 레벨에 응답하여 상기 센싱 인에  
이블부의 출력 노드와 상기 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 상기 비트라  
인의 전압 레벨과 상기 상보 비트라인의 전압 레벨을 증폭하고, 상기 상보 비트라인에 연결된  
제2 메모리 셀이 선택되면 상기 제1 어드레싱 신호가 상기 제2 어드레싱 신호보다 높은 전압  
레벨로 발생되어, 상기 제1 전류 경로와 상기 제2 전류 경로에 의해 상기 비트라인과 상기 상

보 비트라인의 전압 레벨을 증폭하는 비트라인 센스 앰프를 구비하는 것을 특징으로 하는 메모리 장치.

### 【청구항 2】

제1항에 있어서, 상기 센싱 인에이블부는

상기 전원 전압과 상기 접지 전압 사이에 직렬로 연결되고, 상기 센스 앰프 인에이블 신호의 반전 신호에 그 게이트들이 연결되는 피모스 트랜지스터와 엔모스 트랜지스터로 구성되는 인버터인 것을 특징으로 하는 메모리 장치.

### 【청구항 3】

제1항에 있어서, 상기 비트라인 센스 앰프는

상기 전원 전압에 그 소스가 연결되고, 상기 비트라인에 그 드레인이 연결되고, 상기 상보 비트라인에 그 게이트가 연결되는 제1 피모스 트랜지스터;

상기 전원 전압에 그 소스가 연결되고, 상기 상보 비트라인에 그 드레인이 연결되고, 상기 비트라인에 그 게이트가 연결되는 제2 피모스 트랜지스터;

상기 비트라인과 상기 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제1 엔모스 트랜지스터의 게이트는 상기 상보 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제1 제어 신호에 연결되고 제2 엔모스 트랜지스터의 게이트는 상기 상보 비트라인에 연결되는 상기 제1 및 제2 엔모스 트랜지스터들; 및

상기 상보 비트라인과 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제3 엔모스 트랜지스터의 게이트는 상기 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제2

제어 신호에 연결되고 제4 엔모스 트랜지스터의 게이트는 상기 비트라인에 연결되는 상기 제3 및 제4 엔모스 트랜지스터들을 구비하는 것을 특징으로 하는 메모리 장치.

#### 【청구항 4】

제1항에 있어서, 상기 제1 제어 신호는

상기 전원 전압보다 높은 전압 레벨의 제1 전원 전압이 그 소스에 연결되고, 그 게이트에 상기 제2 어드레싱 신호의 반전 신호가 연결되는 제1 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 그 게이트에 상기 제1 어드레싱 신호가 연결되는 제2 피모스 트랜지스터; 및

상기 접지 전압이 그 소스에 연결되고, 그 게이트에 상기 센싱 인에이블 신호가 연결되고, 상기 제1 및 제2 피모스 트랜지스터의 드레인에 그 드레인이 연결되어 상기 제1 제어 신호로 발생되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

#### 【청구항 5】

제1항에 있어서, 상기 제2 제어 신호는

상기 전원 전압보다 높은 전압 레벨의 제1 전원 전압이 그 소스에 연결되고, 그 게이트에 상기 제2 어드레싱 신호가 연결되는 제1 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 그 게이트에 상기 제1 어드레싱 신호의 반전 신호가 연결되는 제2 피모스 트랜지스터; 및

상기 접지 전압이 그 소스에 연결되고, 그 게이트에 상기 센싱 인에이블 신호가 연결되고, 상기 제1 및 제2 피모스 트랜지스터의 드레인에 그 드레인이 연결되어 상기 제2 제어 신호로 발생되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 6】**

비트라인에 연결되는 제1 메모리 셀들;

상보 비트라인에 연결되는 제2 메모리 셀들;

상기 비트라인과 상기 상보 비트라인을 접지 전압 레벨로 프리차아지시키는 비트라인 등  
화회로;

센싱 인에이블 신호에 응답하여 그 출력 노드를 전원 전압 레벨로 발생시키는 센싱 인  
에이블부; 및

상기 비트라인에 연결된 제1 메모리 셀이 선택되면 상기 상보 비트라인의 제2 메모리 셀  
을 선택하는 제2 어드레싱 신호가 상기 비트라인의 제1 메모리 셀을 선택하는 제1 어드레싱 신  
호보다 낮은 전압 레벨로 발생되어, 상기 제1 어드레싱 신호와 상기 상보 비트라인의 전압 레  
벨에 응답하여 상기 센싱 인에이블부의 출력 노드와 상기 비트라인 사이에 형성되는 제1 전류  
경로와 상기 제2 어드레싱 신호와 상기 상보 비트라인의 전압 레벨에 응답하여 상기 센싱 인에  
이블부의 출력 노드와 상기 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 상기 비트라  
인의 전압 레벨과 상기 상보 비트라인의 전압 레벨을 증폭하고, 상기 상보 비트라인에 연결된  
제2 메모리 셀이 선택되면 상기 제1 어드레싱 신호가 상기 제2 어드레싱 신호보다 낮은 전압  
레벨로 발생되어, 상기 제1 전류 경로와 상기 제2 전류 경로에 의해 상기 비트라인과 상기 상  
보 비트라인의 전압 레벨을 증폭하는 비트라인 센스 앰프를 구비하는 것을 특징으로 하는 메모  
리 장치.

**【청구항 7】**

제6항에 있어서, 상기 센싱 인에이블부는

상기 전원 전압과 상기 접지 전압 사이에 직렬로 연결되고, 상기 센스 앤프 인에이블 신호의 반전 신호에 그 게이트들이 연결되는 피모스 트랜지스터와 엔모스 트랜지스터로 구성되는 인버터인 것을 특징으로 하는 메모리 장치.

### 【청구항 8】

제6항에 있어서, 상기 비트라인 센스 앤프는

상기 접지 전압에 그 소스가 연결되고, 상기 비트라인에 그 드레인이 연결되고, 상기 상보 비트라인에 그 게이트가 연결되는 제1 엔모스 트랜지스터;

상기 접지 전압에 그 소스가 연결되고, 상기 상보 비트라인에 그 드레인이 연결되고, 상기 비트라인에 그 게이트가 연결되는 제2 엔모스 트랜지스터;

상기 비트라인과 상기 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제1 피모스 트랜지스터의 게이트는 상기 상보 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제1 제어 신호에 연결되고 제2 피모스 트랜지스터의 게이트는 상기 상보 비트라인에 연결되는 상기 제1 및 제2 피모스 트랜지스터들; 및

상기 상보 비트라인과 센싱 인에이블부의 출력 노드 사이에 직렬로 연결되고, 제3 피모스 트랜지스터의 게이트는 상기 비트라인에 연결되는 메모리 셀이 선택될 때 활성화되는 제2 제어 신호에 연결되고 제4 피모스 트랜지스터의 게이트는 상기 비트라인에 연결되는 상기 제3 및 제4 피모스 트랜지스터들을 구비하는 것을 특징으로 하는 메모리 장치.

### 【청구항 9】

제6항에 있어서, 상기 제1 제어 신호는

상기 접지 전압보다 낮은 전압 레벨의 제1 접지 전압이 그 소스에 연결되고, 그 게이트에 상기 상보 비트라인에 연결되는 메모리 셀을 선택하는 제2 어드레싱 신호의 반전 신호가 연결되는 제1 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 그 게이트에 상기 비트라인에 연결되는 메모리 셀을 선택하는 제1 어드레싱 신호가 연결되는 제2 엔모스 트랜지스터; 및

상기 전원 전압이 그 소스에 연결되고, 그 게이트에 센싱 인에이블 신호가 연결되고 상기 제1 및 제2 엔모스 트랜지스터의 드레인에 그 드레인이 연결되어 상기 제2 제어 신호로 발생되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

#### 【청구항 10】

제6항에 있어서, 상기 제2 제어 신호는

상기 접지 전압보다 낮은 전압 레벨의 제1 전원 전압이 그 소스에 연결되고, 그 게이트에 상기 상보 비트라인에 연결되는 메모리 셀을 선택하는 제2 어드레싱 신호가 연결되는 제1 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 그 게이트에 상기 비트라인에 연결되는 메모리 셀을 선택하는 제1 어드레싱 신호의 반전 신호가 연결되는 제2 엔모스 트랜지스터; 및

상기 전원 전압이 그 소스에 연결되고, 그 게이트에 센싱 인에이블 신호가 연결되고 상기 제1 및 제2 엔모스 트랜지스터의 드레인에 그 드레인이 연결되어 상기 제2 제어 신호로 발생되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

#### 【청구항 11】

메모리 장치의 비트라인과 상보 비트라인의 전압 레벨을 증폭하는 방법에 있어서,

(a) 상기 비트라인과 상보 비트라인을 전원 전압 레벨로 프리차아지시키는 단계;

(b) 상기 비트라인에 연결된 제1 메모리 셀이 인에이블되어 상기 제1 메모리 셀 데이터가 상기 비트라인으로 전달되는 단계는,

(b-1) 상기 상보 비트라인과 상기 센싱 인에이블부의 출력 노드 사이에 연결되고, 상기 상보 비트라인에 연결된 제2 메모리 셀을 선택하는 제2 어드레싱 신호가 상기 제1 메모리 셀을 선택하는 제1 어드레싱 신호보다 높은 전압 레벨로 인가되는 단계; 및

(b-2) 상기 제1 어드레싱 신호와 상기 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상기 비트라인 사이에 형성되는 제1 전류 경로와 상기 제2 어드레싱 신호와 상기 상보 비트라인의 전압 레벨에 응답하여 상기 센싱 인에이블부의 출력 노드와 상기 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 상기 비트라인의 전압 레벨과 상기 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고,

(c) 상기 상보 비트라인에 연결된 제2 메모리 셀이 인에이블되어 상기 제2 메모리 셀 데이터가 상기 상보 비트라인으로 전달되는 단계는,

(c-1) 상기 제1 어드레싱 신호가 상기 제2 어드레싱 신호보다 높은 전압 레벨로 인가되는 단계; 및

(c-2) 상기 제1 전류 경로와 상기 제2 전류 경로에 의해 상기 비트라인의 전압 레벨과 상기 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고,

(d) 센싱 인에이블 신호에 응답하여 센싱 인에이블부의 출력 노드를 접지 전압 레벨로 천이시키는 단계를 포함하는 것을 특징으로 하는 비트 라인 전압 증폭 방법.

**【청구항 12】**

메모리 장치의 비트라인과 상보 비트라인의 전압 레벨을 증폭하는 방법에 있어서,

(a) 비트라인과 상보 비트라인을 접지 전압 레벨로 프리차아지시키는 단계;

(b) 상기 비트라인에 연결된 제1 메모리 셀이 인에이블되어 상기 제1 메모리 셀 데이터가 상기 비트라인으로 전달되는 단계는,

(b-1) 상기 상보 비트라인과 상기 센싱 인에이블부의 출력 노드 사이에 연결되고,

상기 상보 비트라인에 연결된 제2 메모리 셀을 선택하는 제2 어드레싱 신호가 상기 제1 메모리 셀을 선택하는 제1 어드레싱 신호보다 낮은 전압 레벨로 인가되는 단계; 및

(b-2) 상기 제1 어드레싱 신호와 상기 상보 비트라인의 전압 레벨에 응답하여 센싱 인에이블부의 출력 노드와 상기 비트라인 사이에 형성되는 제1 전류 경로와 상기 제2 어드레싱 신호와 상기 상보 비트라인의 전압 레벨에 응답하여 상기 센싱 인에이블부의 출력 노드와 상기 상보 비트라인 사이에 형성되는 제2 전류 경로에 의해 상기 비트라인의 전압 레벨과 상기 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고,

(c) 상기 상보 비트라인에 연결된 제2 메모리 셀이 인에이블되어 상기 제2 메모리 셀 데이터가 상기 상보 비트라인으로 전달되는 단계는,

(c-1) 상기 제1 어드레싱 신호가 상기 제2 어드레싱 신호보다 낮은 전압 레벨로 인가되는 단계; 및

(c-2) 상기 제1 전류 경로와 상기 제2 전류 경로에 의해 상기 비트라인의 전압 레벨과 상기 상보 비트라인의 전압 레벨을 증폭하는 단계를 포함하고,

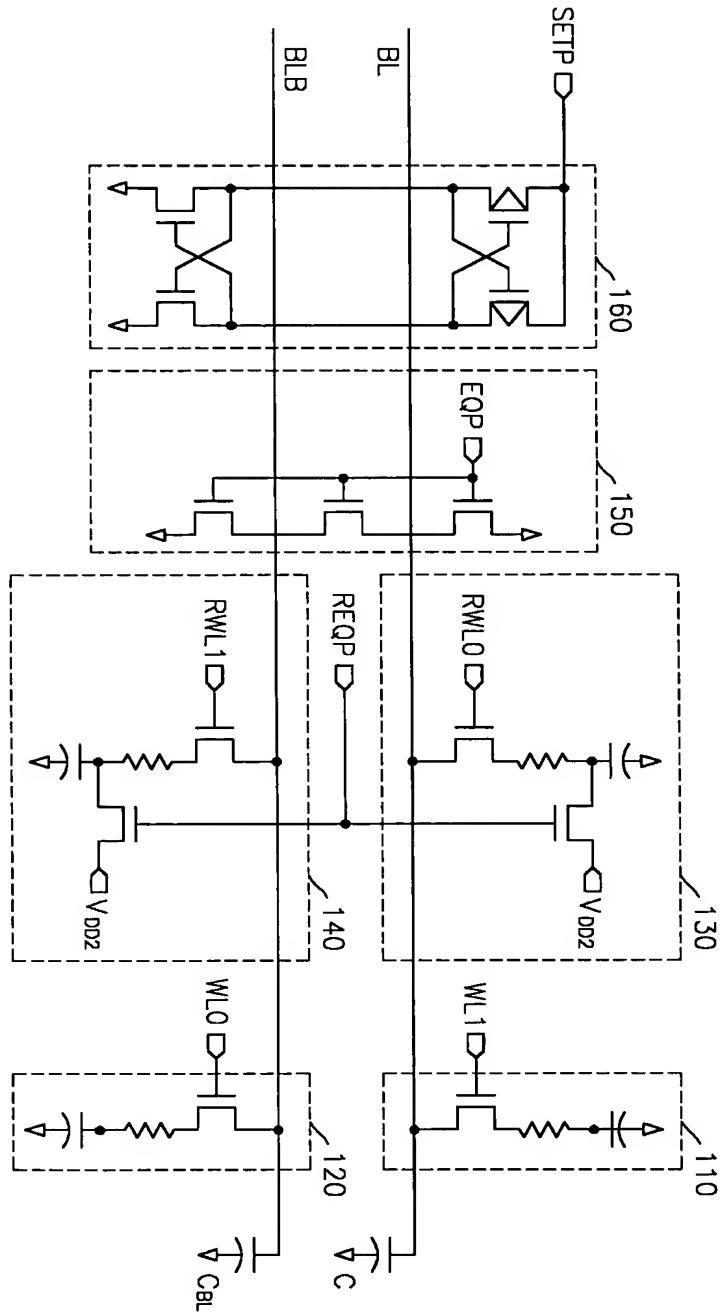
1020030055034

출력 일자: 2003/10/16

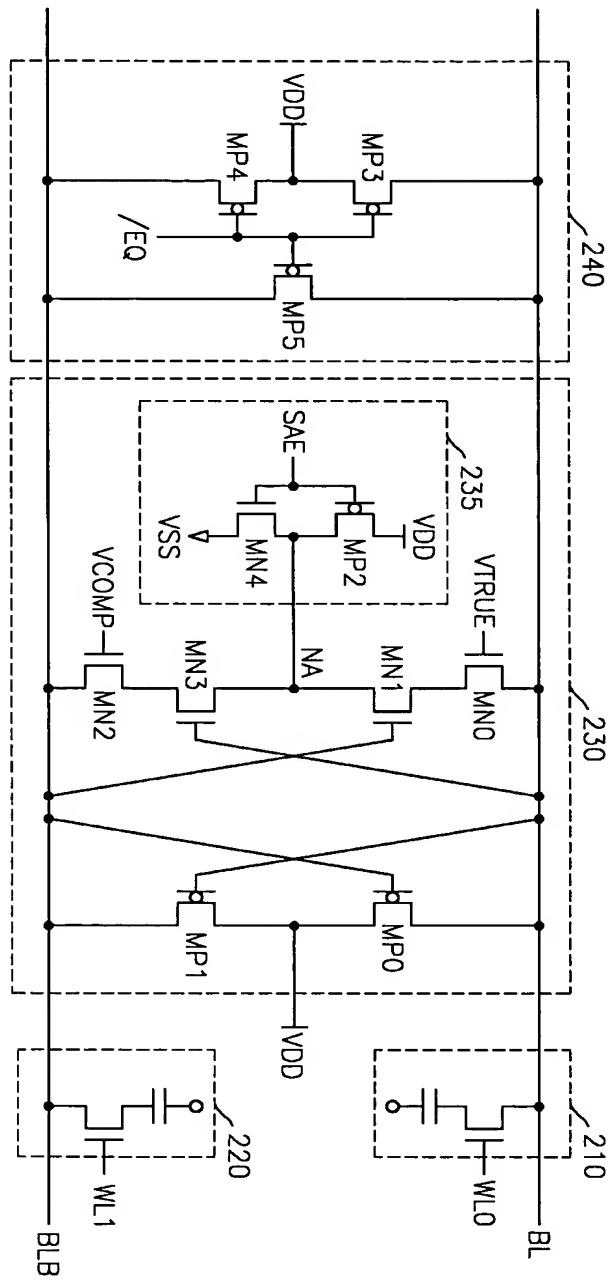
(d) 센싱 인에이블 신호에 응답하여 센싱 인에이블부의 출력 노드를 전원 전압 레벨로  
천이시키는 단계를 포함하는 것을 특징으로 하는 비트 라인 전압 증폭 방법.

【도면】

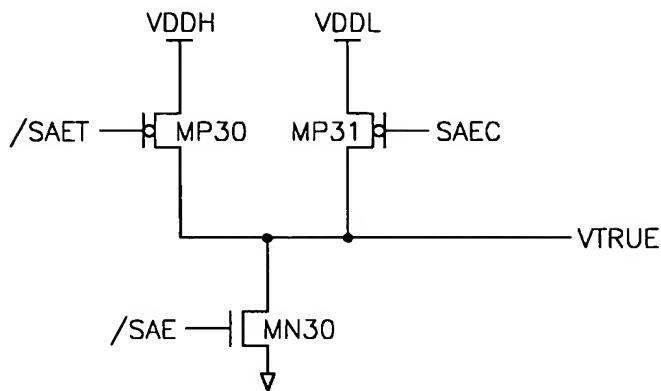
【도 1】



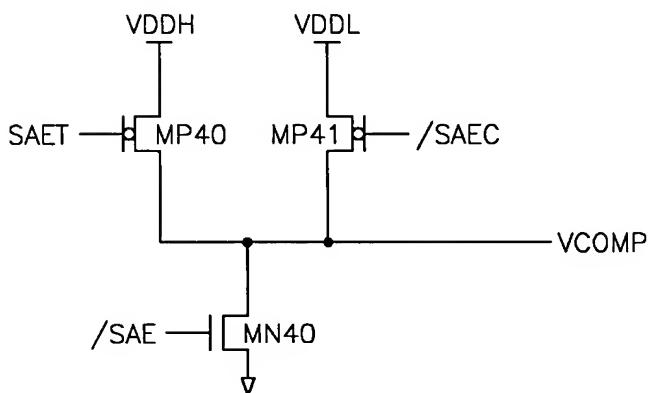
【도 2】



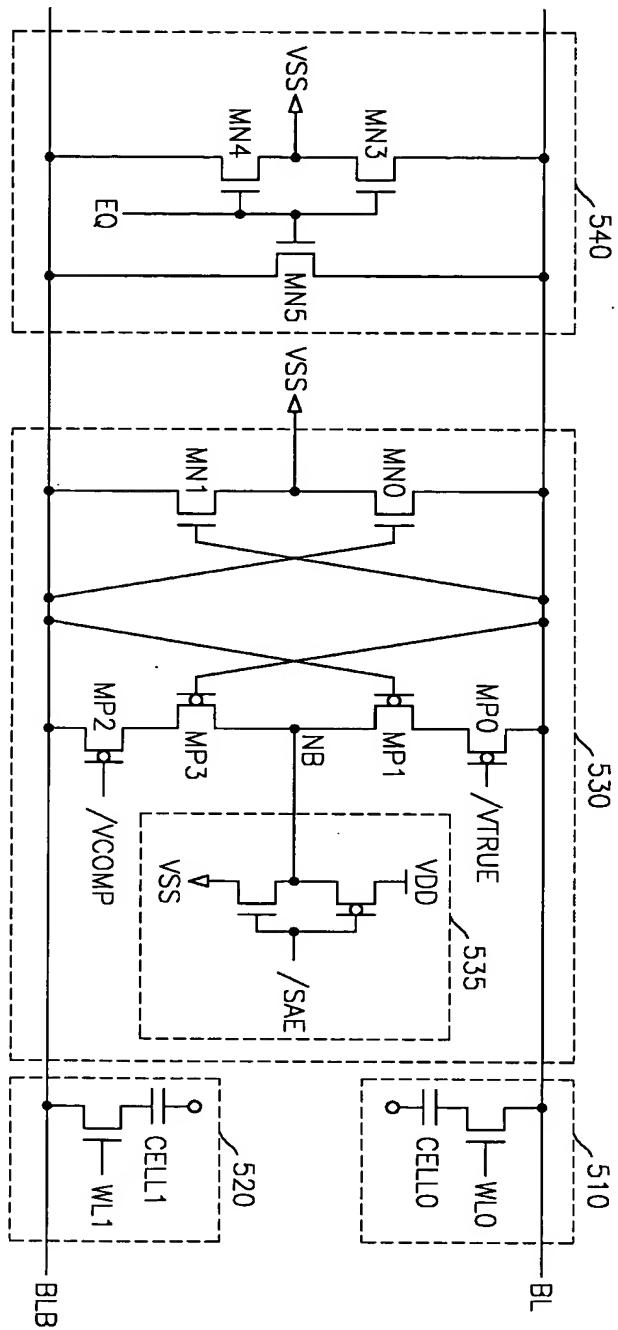
【도 3】



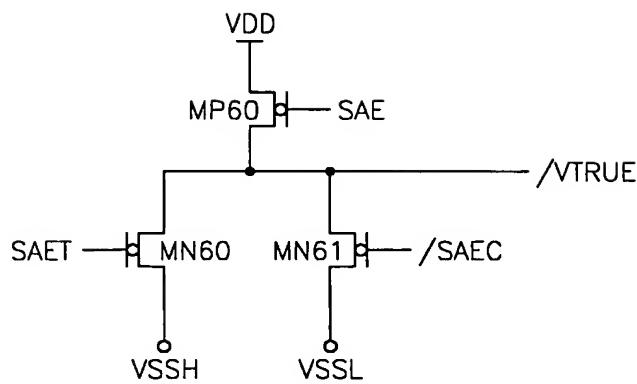
【도 4】



【도 5】



【도 6】



【도 7】

